

Attorney Docket No. 5649-1183

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Lee et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: SEMICONDUCTOR DEVICES HAVING CONTACT PADS AND METHOD FOR  
MANUFACTURING THE SAME

Date: December 30, 2003

Mail Stop PATENT APPLICATION  
Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

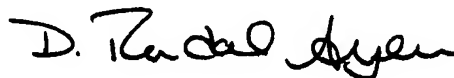
**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the  
following Korean priority application:

10-2003-0009916, filed February 17, 2003.

Respectfully submitted,

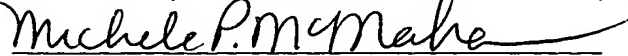


D. Randal Ayers  
Registration No. 40,493

USPTO Customer No. 20792  
Myers Bigel Sibley & Sajovec, P.A.  
Post Office Box 37428  
Raleigh, North Carolina 27627  
Telephone: (919) 854-1400  
Facsimile: (919) 854-1401

"Express Mail" mailing label number EV 353593096 US  
Date of Deposit: December 30, 2003

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to MAIL STOP PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Washington, DC 20231.

  
Michele P. McMahan



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0009916  
Application Number

출원년월일 : 2003년 02월 17일  
Date of Application FEB 17, 2003

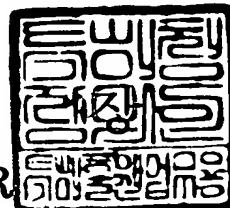
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 11 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.17
【발명의 명칭】	콘택 패드를 포함하는 반도체 장치 및 이의 제조 방법
【발명의 영문명칭】	semiconductor device having a contact pad and method for a same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	이덕형
【성명의 영문표기】	LEE, Deok Hyung
【주민등록번호】	730505-1056317
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 1112번지 신정마을 805동 503호
【국적】	KR
【발명자】	
【성명의 국문표기】	최시영
【성명의 영문표기】	CHOI, Si Young
【주민등록번호】	640118-1055419
【우편번호】	463-822
【주소】	경기도 성남시 분당구 서현동 92번지 현대아파트 419동 903호
【국적】	KR
【발명자】	
【성명의 국문표기】	이병찬
【성명의 영문표기】	LEE, Byeong Chan

【주민등록번호】	680730-1024013
【우편번호】	449-843
【주소】	경기도 용인시 수지읍 상현리 만현마을 10단지 현대I-PARK 1009동 12 02호
【국적】	KR
【발명자】	
【성명의 국문표기】	김철성
【성명의 영문표기】	KIM, Chul Sung
【주민등록번호】	700610-1474524
【우편번호】	463-715
【주소】	경기도 성남시 분당구 구미동 무지개마을 청구아파트 512 동 1204호
【국적】	KR
【발명자】	
【성명의 국문표기】	정인수
【성명의 영문표기】	JUNG, In Soo
【주민등록번호】	731119-1403321
【우편번호】	442-190
【주소】	경기도 수원시 팔달구 우만동 47-1 202호
【국적】	KR
【발명자】	
【성명의 국문표기】	유종렬
【성명의 영문표기】	YOO, Jong Ryeol
【주민등록번호】	730124-1800919
【우편번호】	447-290
【주소】	경기도 오산시 수청동 534번지 대우아파트 104동 1301호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	33 면 33,000 원

1020030009916

출력 일자: 2003/3/12

【우선권주장료】	0	건	0	원
【심사청구료】	34	항	1,197,000	원
【합계】	1,259,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

**【요약서】****【요약】**

콘택 패드를 포함하는 반도체 장치 및 이의 제조 방법이 개시되어 있다. 액티브 영역 및 필드 영역이 정의된 반도체 기판 상에 형성되는 게이트 구조물들, 상기 게이트 구조물들의 측면에 형성되는 제1 스페이서, 상기 게이트 구조물들 사이에 위치하는 반도체 기판의 액티브 영역 상에 상기 게이트 구조물보다 낮은 높이의 반도체 물질이 형성된 제1 콘택 패드, 상기 제1 콘택 패드 상에 위치하는 상기 제1 스페이서의 측면 및 상기 제1 콘택 패드에서 상기 필드 영역과 인접하는 일측면에 형성된 제2 스페이서, 상기 제1 콘택 패드 상에, 반도체 물질로 형성된 제2 콘택 패드를 포함하는 반도체 장치를 제공한다. 상기 반도체 장치의 콘택 패드는 쇼트 불량률이 매우 감소된다.

**【대표도】**

도 6b

**【명세서】****【발명의 명칭】**

콘택 패드를 포함하는 반도체 장치 및 이의 제조 방법{semiconductor device having a contact pad and method for a same}

**【도면의 간단한 설명】**

도 1은 본 발명의 제1 실시예에 따른 콘택 패드를 포함하는 반도체 장치를 나타내는 평면도이다.

도 2a내지 도 2b은 본 발명의 제1 실시예에 따른 콘택 패드를 포함하는 반도체 장치를 나타내는 Y 및 X 방향의 단면도 및 사시도이다.

도 3a 내지 도 7b는 본 발명의 제1 실시예에 따른 반도체 장치를 제조하는 제1 방법을 설명하는 단면도 및 사시도들이다.

도 8은 본 발명의 제2 실시예에 따른 콘택 패드를 포함하는 반도체 장치를 나타내는 단면도이다.

도 9a 내지 도 9i는 본 발명의 제2 실시예에 따른 반도체 장치를 제조하는 방법을 설명하는 단면도들이다.

**<도면의 주요 부분에 대한 부호의 설명>**

- |                   |                |
|-------------------|----------------|
| 100 : 반도체 기판      | 110 : 게이트 구조물  |
| 120 : 제1 스페이서     | 122 : 제1 콘택 패드 |
| 124 : 제2 스페이서     | 126 : 제2 콘택 패드 |
| 128 : 금속 실리사이드 패턴 |                |

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11>        본 발명은 콘택 패드를 포함하는 반도체 장치 및 반도체 장치의 제조 방법에 관한 것이다. 보다 상세하게는, 본 발명은 배선들 사이의 미세한 영역에 콘택 패드가 형성되는 반도체 장치 및 반도체 장치의 제조 방법에 관한 것이다.
- <12>        반도체 장치가 고집적화 및 고속화됨에 따라, 미세 패턴의 형성이 요구되고 있으며 배선의 넓이(width) 뿐만 아니라 배선과 배선 사이의 간격(space)도 현저하게 감소하고 있다. 특히, 반도체 기판 내에 형성되어 있는 고립된 소자 영역들을 고전도성 박막을 사용하여 연결시키는 콘택(contact)의 형성은 얼라인 마진, 소자분리 마진 등을 확보하면서 이루어져야 하므로, 소자의 구성에 있어서 상당한 면적을 차지하게 된다. 따라서, DRAM과 같은 메모리 장치에 있어서, 상기 콘택은 메모리 셀의 크기를 결정하는 주요 요인으로 작용한다.
- <13>        반도체 장치가 고집적화됨에 따라 상기 콘택의 사이즈도 더욱 미세해지고 있으며, 콘택 형성 공정 역시 매우 어려워지고 있다. 특히, 여러 층의 도전층을 사용하는 메모리 장치에서는 층간절연막에 의해 도전층과 도전층 사이의 높이가 더욱 높아져서 도전층들 간에 콘택을 형성하는 공정이 매우 어려워진다. 이에 따라, 메모리 셀과 같이 디자인 룰(design rule)에 여유가 없고 같은 형태의 패턴이 반복되는 경우, 셀 면적을 축소시키기 위하여 셀프-얼라인 방법으로 콘택을 형성하는 방법이 개발되었다.



- <14>      셀프-얼라인 콘택 기술은 주변 구조물의 단차를 이용하여 콘택을 형성하는 방법으로서, 주변 구조물의 높이, 콘택이 형성될 위치에서의 절연막의 두께 및 식각 방법 등에 의해 다양한 크기의 콘택을 형성할 수 있다. 현재 가장 많이 사용되고 있는 셀프-얼라인 콘택 공정은 이방성 식각 공정에 대한 산화막과 질화막 간의 선택비를 이용하여 콘택 홀을 형성하는 것이다.
- <15>      그런데, 상기 게이트 전극들 사이에 소오스 및 드레인 영역과 접촉하는 콘택 패드를 셀프 얼라인 방법으로 형성하는 경우 상기 게이트 전극들 사이의 산화막을 식각하는 과정에서 게이트 전극의 측벽 및 상부면에 형성되어 있는 질화막 스페이서와 질화막 마스크도 부분적으로 식각된다. 만일 상기 질화막 스페이서와 질화막 마스크의 솔더 마진이 부족하여 상기 게이트 전극들 사이의 산화막을 식각하는 과정에서 상기 게이트 전극이 노출되면, 상기 게이트 전극과 콘택 패드가 쇼트되는 불량 발생하게 된다.
- <16>      이러한 불량을 방지하기 위해, 상기 질화막 스페이서와 질화막 마스크의 두께를 증가시키고 있다. 그러나, 상기 질화막 스페이서의 두께를 증가시키는 경우 상기 콘택 패드와 소오스 및 드레인 영역의 콘택 영역이 축소되어 콘택 저항이 증가된다. 또한, 상기 질화막 마스크의 두께를 증가시키는 경우 상기 게이트 전극 사이의 갭 매립이 어려워져 보이드가 발생하기 쉽다.
- <17>      따라서, 최근에는 상기 게이트 전극들 사이에 노출되는 실리콘 기판상에 선택적 에피택시얼 성장법으로 실리콘을 성장시켜 콘택 패드를 형성하는 방법이 제시되고 있다. 그러나, 상기 실리콘이 상기 실리콘 기판과 수직한 방향<100>으로만 성장하지 않고 수평한 방향<110>으로도 측면 성장을 한다. 때문에 상기 실리콘이 일정 높이로 성장하면서 이웃하는 콘택 패드가 서로 접촉되는 불량이 빈번히 발생한다.

<18> 이러한 불량을 방지하기 위한 일 예로, 반도체 기판의 접합부를 선택적 에피 성장 법으로 성장할 시에 먼저 측면 성장이 허용 가능한 정도로 선택적 에피 박막을 형성하고 상기 에피 박막 사이에 절연물질을 매립하여 절연시킨다. 이어서, 상기 에피 박막상에 2차 선택적 에피 박막을 형성하는 방법이 한국 공개 특허 2002-053542호에 개시되어 있다. 그러나, 상기 에피 박막 사이에만 정확히 절연 물질을 매립하기가 매우 어렵다. 만일, 상기 절연 물질이 에피 박막 상부에 남아있는 경우에는 상기 에피 박막 상에 2차적으로 에피 박막을 성장시킬 수 없다. 이를 방지하기 위해 상기 절연물질을 과도하게 식각하면, 상기 에피택시얼 박막의 상부 측면이 일부 노출되므로 실리콘의 측면 성장을 방지하는 효과가 매우 감소한다.

**【발명이 이루고자 하는 기술적 과제】**

<19> 따라서, 본 발명의 제1 목적은 콘택 패드를 포함하는 반도체 장치를 제공하는데 있다.

<20> 본 발명의 제2 목적은 콘택 패드를 포함하는 반도체 장치의 제조 방법을 제공하는 데 있다.

**【발명의 구성 및 작용】**

<21> 상기한 제1 목적을 달성하기 위하여, 액티브 영역 및 필드 영역이 정의된 반도체 기판 상에 형성되는 게이트 구조물들, 상기 게이트 구조물들의 측면에 형성되는 제1 스페이서, 상기 게이트 구조물들 사이에 위치하는 반도체 기판의 액티브 영역 상에 상기 게이트 구조물보다 낮은 높이의 반도체 물질이 형성된 제1 콘택 패드, 상기 제1 콘택 패드 상에 위치하는 상기 제1 스페이서의 측면 및 상기 제1 콘택 패드에서 상기 필드 영역

과 인접하는 일측면에 형성된 제2 스페이서, 상기 제1 콘택 패드 상에, 반도체 물질이 형성된 제2 콘택 패드를 포함하는 반도체 장치를 제공한다.

<22> 본 발명의 제1 목적은, 셀 영역 및 페리 영역이 구분되고, 액티브 영역 및 필드 영역이 정의된 반도체 기판 상에 형성되는 셀 게이트 구조물들 및 페리 게이트 구조물들, 상기 셀 게이트 구조물의 측면에 형성되는 제1 스페이서, 상기 셀 게이트 구조물들 사이에 위치하는 반도체 기판의 액티브 영역 상에 반도체 물질이 부분적으로 채워지도록 형성된 제1 콘택 패드, 상기 페리 게이트 표면에 형성되는 절연막 패턴, 상기 제1 콘택 패드 상에 위치하는 상기 제1 스페이서의 측면, 상기 제1 콘택 패드에서 상기 필드 영역과 인접하는 일측면 및 상기 절연막 패턴의 측면에 형성된 제2 스페이서, 상기 제1 콘택 패드 상에, 반도체 물질로 형성된 제2 콘택 패드, 상기 페리 영역의 액티브 영역 상에 반도체 물질로 형성된 제3 콘택 패드를 포함하는 반도체 장치를 제공한다.

<23> 상기한 제2 목적을 달성하기 위하여 본 발명은, 액티브 영역이 정의된 반도체 기판 상에 게이트 구조물들을 형성한다. 상기 게이트 구조물들의 측면에 제1 스페이서를 형성한다. 상기 게이트 구조물들 사이에 위치하는 액티브 영역 상에, 선택적 에피택셜 성장법으로 상기 게이트 구조물보다 낮은 높이로 반도체 물질을 성장시켜 제1 콘택 패드들을 형성한다. 상기 제1 스페이서들 및 상기 제1 콘택 패드들의 노출된 측면에 제2 스페이서들을 형성한다. 상기 제1 콘택 패드들 상에, 선택적 에피택셜 성장법으로 반도체 물질을 성장시켜 제2 콘택 패드들을 형성하는 반도체 장치의 제조 방법을 제공한다.

<24> 본 발명의 제2 목적은, 셀 영역 및 페리 영역이 구분되고 액티브 영역이 정의된 반도체 기판 상에 셀 게이트 구조물들 및 페리 게이트 구조물들을 형성한다. 상기 반도체 기판, 셀 및 페리 게이트 구조물들의 표면에 순차적으로 제1 절연막 및 상기 제1 절연

막과 식각 선택비가 있는 제2 절연막을 형성한다. 상기 페리 영역에 형성된 제2 절연막만 남도록 상기 셀 영역에 형성된 제2 절연막을 선택적으로 식각한다. 상기 셀 게이트 구조물들의 측면에 제1 스페이서들을 형성한다. 상기 셀 게이트 구조물들 사이의 액티브 영역 상에, 선택적 에피택셜 성장법으로 상기 셀 게이트 구조물보다 낮은 높이로 반도체 물질을 성장시켜 제1 콘택 패드들을 형성한다. 상기 제1 콘택 패드들 상에 위치한 제1 스페이서의 표면, 상기 제1 콘택 패드의 노출된 측면 및 상기 페리 게이트 구조물들 표면에 형성된 제2 절연막에 제2 스페이서를 형성한다. 상기 제1 콘택 패드 및 페리 영역의 액티브 영역 상에, 선택적 에피택셜 성장법으로 반도체 물질을 성장시켜 제2 콘택 패드 및 상기 페리 영역의 기판 상에 제3 콘택 패드를 형성하는 반도체 장치의 제조 방법을 제공한다.

<25> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

<26> 도 1은 본 발명의 제1 실시예에 따른 콘택 패드를 포함하는 반도체 장치의 평면도이다. 도 2a는 도 1의 A-A' 부분을 절단한 단면도이고, 도 2b는 도 1의 B-B'부분을 절단한 사시도이다.

<27> 액티브 영역(100b) 및 필드 영역(100a)이 정의된 반도체 기판(100) 상에 게이트 구조물(110)들이 형성된다. 상기 게이트 구조물(110)들은 게이트 절연막 패턴(110a), 게이트 패턴(110b) 및 하드 마스크 패턴(110c)이 적층된 형태를 갖는다. 상기 게이트 구조물(110) 양측의 기판 표면 아래에는 소오스 및 드레인(112)이 형성된다.

<28> 상기 게이트 구조물(110)의 측면에는 절연 물질로 이루어진 제1 스페이서(120)가 형성된다. 상기 제1 스페이서(120)는 실리콘 산화물 또는 실리콘 질화물로 형성되어, 상

기 게이트 구조물(110)과 상기 게이트 구조물(110) 사이에 형성되는 콘택 패드를 절연시킨다. 상기 제1 스페이서(120)는 절연 특성 및 콘택 패드 접촉 면적을 고려하여 두께가 결정되며, 50 내지 300Å의 두께를 갖는 것이 바람직하다.

<29>       상기 게이트 구조물(110)들 사이에 노출되는 액티브 영역(100b) 상에 상기 게이트 구조물(110)보다 낮게 반도체층을 성장시켜 형성된 제1 콘택 패드(122)를 구비한다. 상기 제1 콘택 패드(122)는 반도체층이 측면으로 성장하더라도 서로 이웃하는 제1 콘택 패드(122)로 형성되는 반도체층들이 서로 단락되지 않을 정도의 높이로 형성한다. 구체적으로, 상기 제1 콘택 패드(122)는 상기 게이트 구조물(110) 높이의 30내지 60%정도의 높이를 갖는 것이 바람직하다. 상기 제1 콘택 패드(122)는 예컨대 불순물이 도핑된 실리콘 또는 불순물이 도핑된 실리콘 게르마늄으로 형성된다.

<30>       상기 제1 콘택 패드(122)상에 위치하는 상기 제1 스페이서(120)의 측면 및 상기 제1 콘택 패드(122)에서 필드 영역(100a)과 인접하는 일측면에 절연물질로 이루어진 제2 스페이서(124)가 형성된다. 상기 제2 스페이서(124)는 실리콘 산화물 또는 실리콘 질화물로 형성된다. 상기 제2 스페이서(124)는 상기 제1 콘택 패드의 일측면에 형성되므로, 상기 제1 콘택 패드(122)의 노출된 표면을 시드로하여 측면 방향으로 반도체층이 성장하는 것을 억제한다. 상기 제2 스페이서(124)는 50 내지 100Å의 두께를 갖는 것이 바람직하다.

<31>       상기 제1 콘택 패드(122)상에, 반도체 물질을 성장시켜 형성된 제2 콘택 패드(126)를 구비한다. 상기 제2 콘택 패드(126)로 형성되는 반도체 물질은 상기 제1 콘택 패드(122)의 반도체 물질과 동일한 것으로 형성되는 것이 바람직하다. 상기 제2 콘택 패드

(126)는 예컨대 불순물이 도핑된 실리콘 또는 불순물이 도핑된 실리콘 게르마늄으로 형성된다.

<32>       상기 제2 콘택 패드(126)상에 선택적으로 금속 실리사이드 패턴(128)이 형성된다. 상기 금속 실리사이드 패턴(128)은 코발트 실리사이드, 티타늄 실리사이드 또는 니켈 실리사이드 물질로 이루어진다.

<33>       도 3a 내지 도 7b는 본 발명의 제1 실시예에 따른 반도체 장치를 제조하는 제1 방법을 설명하는 단면도 및 사시도들이다. 도3a 내지 도 7b에서 각 a도는 Y방향의 단면도이고, 각 b도는 X방향으로의 사시도이다.

<34>       도 3a 내지 도 3b를 참조하면, 단결정 실리콘으로 이루어지는 반도체 기판(100)의 상에 통상적인 트렌치 소자 분리 공정을 수행하여 액티브 영역 및 필드 영역(100a)을 구분한다.

<35>       구체적으로는, 반도체 기판(100) 상에 패드 산화막, 질화막 및 고온 산화막(도시안함)을 차례로 증착한다. 상기 고온 산화막 상에 실리콘 산질화물(SiON)을 증착하여 반사 방지층(anti-reflective layer)(도시안함)을 형성한 후, 액티브 패턴을 정의하기 위한 사진식각 공정을 진행하여 고온 산화막 패턴을 형성한다. 상기 고온 산화막 패턴을 식각 마스크로 이용하여 상기 질화막 및 패드 산화막을 식각하여 질화막 패턴 및 패드 산화막 패턴을 형성한 후, 계속해서 상기 기판을 소정의 깊이로 식각하여 트렌치를 형성한다.

<36>       상기 트렌치를 채우도록 화학 기상 증착 방법으로 CVD-산화막을 형성한 후, 상기 질화막 패턴의 상부 표면이 노출될 때까지 상기 CVD-산화막을 화학 기계적 연마(CMP) 방

법으로 제거하여 트렌치의 내부에 필드 산화막이 형성된다. 다음에, 인산 스트립 공정으로 잔류하는 상기 질화막 패턴을 제거한다.

<37>       이어서, 상기 액티브 영역 및 필드 영역(100a)이 구분되어 있는 기판(100)상에 게이트 구조물(110)을 형성한다.

<38>       구체적으로는, 상기 기판(100)상에 게이트 산화막을 30 내지 100Å 정도로 얇게 형성한다. 상기 게이트 산화막 상에 폴리실리콘막 및 금속 실리사이드막으로 이루어지는 게이트 전극막을 형성하고, 이어서 상기 게이트 전극막 상에 실리콘 질화물로 이루어지는 하드 마스크막을 형성한다. 상기 하드 마스크막은 종래의 셀프 얼라인 방법으로 콘택 패드를 형성할 때에 비해 1/2 이하의 두께로 형성할 수 있다.

<39>       종래에는 상기 셀프 얼라인 콘택홀 형성 시에 솔더 마진을 확보하기 위해 상기 하드 마스크막을 두껍게 형성하였으나, 본 실시예에서는 셀프 얼라인 콘택홀을 형성하지 않으므로 솔더 마진을 고려할 필요가 없다. 때문에, 종래에 비해 낮은 두께로 하드 마스크막을 형성한다.

<40>       상기 막들을 사진 식각 공정에 의해 순차적으로 식각하여, 게이트 산화막 패턴(110a), 게이트 패턴(110b) 및 하드 마스크 패턴(110c)이 적층된 형태의 게이트 구조물(110)을 형성한다. 상기 하드 마스크 패턴(110c)의 두께가 감소됨에 따라, 상기 게이트 구조물(110)의 전체 높이도 종래에 비해 감소된다.

<41>       이어서, 상기 게이트 구조물(110)을 이온 주입 마스크로하고 노출된 기판 아래로 불순물 이온을 주입하여 소오스 및 드레인 영역(112)을 형성한다.

- <42> 도 4a 내지 도 4b를 참조하면, 상기 게이트 구조물(110) 및 기판(100) 표면에 절연 물질을 증착한다. 이어서, 상기 절연물질을 이방성 식각하여 상기 게이트 구조물(110)의 측면에 제1 스페이서(120)를 형성한다. 상기 제1 스페이서(120)로 형성되는 절연물질은 실리콘 산화물 또는 실리콘 질화물을 포함한다.
- <43> 상기 제1 스페이서(120)는 후속 공정을 통해 상기 게이트 구조물(110) 사이에 형성되는 콘택 패드와 상기 게이트 구조물(110)을 절연시키기 위해 형성된다. 따라서, 상기 제1 스페이서(120)는 상기 콘택 패드와 게이트 구조물(110)간의 기생 캐패시턴스가 최소화되도록 하여야 한다. 그러나, 상기 기생 캐패시턴스를 고려하여 제1 스페이서(120)의 두께를 너무 두껍게 형성하는 경우에는, 상기 콘택 패드와 기판(100)간의 접촉 면적이 감소되어 콘택 저항이 증가된다. 따라서, 상기 제1 스페이서(120)는 50 내지 300Å의 두께 범위를 갖도록 형성하는 것이 바람직하다.
- <44> 도 5a 내지 5b를 참조하면, 상기 게이트 구조물(110)들 사이에 노출되는 액티브 영역 상에 선택적 에피택시얼 성장법으로 반도체 물질을 성장시켜 소오스 및 드레인 영역(112)과 접촉하는 제1 콘택 패드(122)를 형성한다. 상기 제1 콘택 패드(122)는 적어도 상기 게이트 구조물(110)의 높이보다는 낮게 형성한다. 상기 제1 콘택 패드(122)로 형성되는 반도체 물질은 예컨대 도핑된 실리콘 또는 도핑된 실리콘 게르마늄을 포함한다. 이하에서는 상기 제1 콘택 패드(122)를 도핑된 실리콘으로 형성하는 방법을 예로 들면서 설명한다.
- <45> 상기 게이트 구조물(110)들 사이에 노출되는 반도체 기판(100)표면의 단결정 실리콘들을 시드로 하여 실리콘을 에피택시얼 성장시킨다. 상기 실리콘을 성장시키는 공정을 수행하면서 인시튜로 불순물을 도핑한다.



<46>      상기 실리콘을 성장시키는 공정은 UHVCVD 방법을 이용하며 실리콘 소오스 가스로는  $\text{Si}_2\text{H}_6$  또는  $\text{SiH}_4$  가스를 사용한다. 그리고, 상기 실리콘 산화막이 채워져 있는 필드 영역(100a) 및 실리콘 질화물로 구성된 하드 마스크 패턴(110c)과 제1 스페이서(120)에 실리콘의 성장을 억제하기 위해  $\text{Cl}_2$  가스를 더 사용한다. 또한, 상기 실리콘을 성장시키는 중에 인시튜로 불순물을 도핑시킨다. 상기 불순물 이온에 의해 상기 제1 콘택 패드(122)로 형성되는 실리콘 물질이 도전성을 갖는다.

<47>      상기 방법에 의해 실리콘을 성장시키면, 상기 실리콘은 상기 기판(100)과 수직한 방향<100>으로만 성장하지 않고 수평한 방향<110>으로도 측면 성장한다. 특히, 필드 영역(100a)을 사이에 두고 각각의 제1 콘택 패드(122)로 성장하는 실리콘은 수직 방향 뿐 아니라 수평 방향으로도 성장하기 때문에 이웃하는 상기 제1 콘택 패드(122)는 서로 쇼트되기 쉽다. 따라서, 상기 제1 콘택 패드(122)는 상기 실리콘이 측면으로 성장하더라도 이웃하는 제1 콘택 패드(122)로 형성되는 실리콘과 서로 단락(short)되지 않을 정도의 높이로 형성한다. 상기 제1 콘택 패드(122)의 높이는 상기 콘택 패드(122)들간의 밀도 및 게이트 구조물(110)의 높이 등을 고려하여 결정된다. 바람직하게, 상기 제1 콘택 패드(122)는 상기 게이트 구조물(110) 높이의 약 30 내지 60%의 높이로 형성한다.

<48>      도 6a 내지 도 6b를 참조하면, 상기 제1 콘택 패드(122)가 형성되어 있는 기판 표면에 절연물질을 증착한다. 이어서, 상기 절연물질을 이방성 식각하여 상기 제1 스페이서(120)들 및 상기 제1 콘택 패드(122)들의 노출된 측면에 제2 스페이서(124)를 형성한다. 따라서, 도식된 바와 같이 상기 제2 스페이서(124)는 상기 제1 콘택 패드(122)의 상부에 위치하는 제1 스페이스(120)의 표면 및 필드 영역을 사이에 두고 형성된 각각의 상

기 제1 콘택 패드(122)의 측면상에 형성된다. 상기 제2 스페이서(124)로 형성되는 절연 물질은 실리콘 산화물 또는 실리콘 질화물을 포함한다.

<49>       상기 제2 스페이서(124)는 노출되어 있는 제1 콘택 패드(122)의 측면에 형성되므로, 상기 후속 공정에서 상기 제1 콘택 패드(122)의 노출된 표면을 시드로 하여 반도체층을 성장시킬 때 측면 방향으로의 성장을 억제한다. 상기 제2 스페이서(124)는 50 내지 100 Å의 두께로 형성하는 것이 바람직하다.

<50>       도 7a 내지 7b를 참조하면, 상기 제1 콘택 패드(122)상에 선택적 에피택시얼 성장 방법으로 반도체 물질을 성장시켜 제2 콘택 패드(126)를 형성한다. 상기 제1 콘택 패드(122)와 상기 제2 콘택 패드(126)가 적층된 높이는 상기 셀 게이트 구조물(210a)의 높이와 같거나 더 높게 되도록 한다. 상기 제2 콘택 패드(126)로 형성되는 반도체 물질은 상기 제1 콘택 패드(122)의 반도체 물질과 동일한 것으로 형성되는 것이 바람직하다. 이는 상기 제1 콘택 패드와 제2 콘택 패드와의 경계에서 결정 결함이 생기는 것을 최소화하기 위함이다. 상기 제2 콘택 패드(126)는 예컨대 불순물이 도핑된 실리콘 또는 불순물이 도핑된 실리콘 게르마늄으로 형성한다.

<51>       구체적으로, 상기 제1 콘택 패드(122) 표면에 노출된 도핑 실리콘을 시드로 하여 실리콘을 에피택시얼 성장시킨다. 상기 실리콘을 성장시키는 공정을 수행하면서 인시튜로 불순물을 도핑한다. 상기 불순물은 상기 제1 콘택 패드(122)에 도핑된 불순물과 동일한 타입의 불순물인 것이 바람직하다. 상기 실리콘 성장 방법은 제1 콘택 패드(122)를 형성할 때와 동일하다.

<52>       이 때, 상기 제1 콘택 패드(122)의 노출된 측면 부위에는 제2 스페이서(124)가 형성되어 있다. 때문에, 처음에는 상기 제1 콘택 패드(122)의 상부면에 노출되어 있는 도

평 실리콘을 시드로 하여 수직 방향으로만 실리콘이 성장된다. 그리고, 상기 실리콘이 수직 방향으로 어느 정도 성장된 이 후에 비로소 측면 성장이 시작된다. 따라서, 상기 실리콘의 측면 방향 성장률은 상기 실리콘의 수직 방향 성장률에 비해 매우 낮아진다. 따라서, 상기 제2 스페이서(124)에 의해 상기 실리콘의 측면 방향으로의 성장이 억제되어 이웃하는 콘택 패드들이 쇼트되는 불량을 감소시킬 수 있다.

<53>       이어서, 상기 제2 콘택 패드(126)의 상부면에 통상의 실리사이드 형성 공정을 수행하여 금속 실리사이드 패턴(238, 도 2a 및 도 2b 참조)을 형성한다. 상기 금속 실리사이드 패턴(238)은 예컨대 코발트 실리사이드, 티타늄 실리사이드 또는 니켈 실리사이드로 형성할 수 있다.

<54>       상기 설명한 공정들을 수행하여 도 2a 내지 2b에 도시된 반도체 장치를 형성한다.

<55>       상기 설명한 방법으로 소오스 및 드레인과 접촉하는 콘택 패드를 형성하는 경우에는 종래의 셀프 얼라인 콘택을 형성할 때에 솔더 마진의 부족으로 발생하는 게이트 전극과 콘택 패드간이 단락되는 것 등을 방지할 수 있다. 또한, 본 발명의 제1 실시예에 따른 게이트 구조물은 종래의 게이트 구조물에 비해 높이를 낮게 형성할 수 있다. 따라서, 후속 공정에서 게이트 구조물 사이를 절연물질로 갱필할 때 보이드 발생을 감소시킬 수 있다.

<56>       본 발명의 제1 실시예에 따른 반도체 장치를 제조하는 또다른 제2 방법을 설명한다. 이하에서 설명하는 방법은 상기 제1 콘택 패드 및 제2 콘택 패드의 형성 시에 인시튜

로 불순물을 도핑하지 않고 이 후에 이온 주입 공정을 수행하는 것을 제외하고는 상기에서 설명한 방법과 동일하다. 따라서, 중복되는 설명은 생략한다.

<57> 구체적으로, 도 3a 내지 도 4b를 참조로 설명한 것과 동일한 공정을 수행하여 게이트 구조물의 측벽에 제1 스페이서를 형성한다. 이어서, 상기 게이트 구조물들 사이에 노출되는 반도체 기판 표면의 단결정 실리콘들을 시드로 하여 실리콘을 에피택시얼 성장시켜 제1 콘택 패드를 형성한다. 상기 제1 콘택 패드 형성 방법은 실리콘을 성장시키는 공정을 수행하면서 인시튜로 불순물을 도핑하지 않는점을 제외하고는 도 5a 및 5b를 참조로하여 설명한 방법과 동일하다.

<58> 도 6a 및 6b를 참조로 설명한 것과 같이, 상기 제1 스페이서들 및 상기 제1 콘택 패드들의 노출된 측면에 제2 스페이서를 형성한다. 이어서, 상기 제1 예비 콘택 패드 상에 선택적 에피택시얼 성장법으로 실리콘을 성장시켜 제2 콘택 패드를 형성한다. 상기 제2 예비 콘택 패드 형성 방법은 실리콘을 성장시키는 공정을 수행하면서 인시튜로 불순물을 도핑하지 않는점을 제외하고는 도 7a 및 7b를 참조로하여 설명한 방법과 동일하다.

<59> 이어서, 상기 제1 콘택 패드 및 제2 콘택 패드에 불순물 이온을 주입하여 도전성을 갖는 제1 콘택 패드 및 제2 콘택 패드로 형성한다.

<60> 실시예2

<61> 도 8은 본 발명의 제2 실시예에 따른 콘택 패드를 포함하는 반도체 장치를 나타내는 단면도이다.

- <62>        액티브 영역 및 필드 영역(200a)이 정의된 기판(200) 상에 게이트 구조물(210a, 210b)들이 형성된다. 상기 게이트 구조물들(210a, 210b)은 게이트 절연막 패턴, 게이트 패턴 및 하드 마스크 패턴이 적층된 형태를 갖는다. 상기 게이트 구조물(210a, 210b) 양측의 기판 표면 아래에는 트랜지스터의 타입에 따라 N형 또는 P형 불순물이 주입된 소오스 및 드레인(212a, 212b)이 형성된다.
- <63>        상기 반도체 기판(100)은 데이터를 저장하는 각 셀들이 형성되는 셀 영역(C)과 상기 각 셀들에 데이터를 입, 출력하기 위한 주변 회로들이 형성되는 코아/페리 영역(P)으로 구분된다. DRAM장치의 경우 일반적으로, 셀 영역(C)에는 N형 트랜지스터가 형성되고, 코아/페리 영역(P)에는 N형 및 P형 트랜지스터가 각각 형성된다. 이하에서는, 상기 셀 영역(C)에 형성되는 게이트 구조물을 셀 게이트 구조물(210a)이라하고, 상기 코아/페리 영역(P)에 형성되는 게이트 구조물을 페리 게이트 구조물(210b)이라 하여 설명한다.
- <64>        상기 셀 게이트 구조물(210a)의 측면에 제1 스페이서(220)가 형성된다. 상기 제1 스페이서(220)는 실리콘 산화물 또는 실리콘 질화물로 형성되어, 상기 셀 게이트 구조물(210a)과 상기 셀 게이트 구조물(210a)사이에 형성되는 콘택 패드를 절연시킨다. 상기 제1 스페이서(220)는 절연 특성 및 콘택 패드 접촉 면적을 고려하여 두께가 결정되며, 50 내지 300Å의 두께를 갖는 것이 바람직하다.
- <65>        상기 셀 게이트 구조물(210a)들 사이에 노출되는 액티브 영역 상에 상기 셀 게이트 구조물(210a)보다 낮은 높이로 반도체층을 성장시켜 형성된 제1 도전성 콘택 패드(222a)를 구비한다. 상기 제1 도전성 콘택 패드(222a)는 상기 반도체층이 측면으로 성장하더라도 이웃하는 제1 도전성 콘택 패드(222a)들로 형성되는 반도체층이 서로 단락되지 않을 정도의 높이로 형성한다. 구체적으로, 상기 제1 도전성 콘택 패드(222a)는 상기

셀 게이트 구조물(210a) 높이의 30내지 60%정도의 높이를 갖는 것이 바람직하다. 상기 제1 도전성 콘택 패드(222a)는 불순물이 도핑된 실리콘 또는 불순물이 도핑된 실리콘 게르마늄으로 형성된다.

<66>        상기 페리 게이트 구조물(210b)의 측면 및 상부면에는 절연막 패턴(230)이 형성된다. 상기 절연막 패턴(230)은 상기 제1 스페이서(220)와 동일한 물질로 형성된다.

<67>        상기 제1 도전성 콘택 패드(222a) 상에 위치하는 상기 제1 스페이서(220)의 측면, 상기 제1 도전성 콘택 패드(222a)에서 상기 필드 영역(200a)과 인접하는 일측면 및 상기 절연막 패턴(230)의 측면에 제2 스페이서(224)가 형성된다. 상기 제2 스페이서(224)는 실리콘 산화물 또는 실리콘 질화물로 형성된다. 상기 제2 스페이서(224)는 상기 제1 도전성 콘택 패드(222a)의 일측면에 형성되므로, 상기 제1 도전성 콘택 패드(222a)의 노출된 표면을 시드로하여 측면 방향으로 반도체층이 성장하는 것을 억제한다. 상기 제2 스페이서(224)는 50 내지 100Å의 두께를 갖는 것이 바람직하다.

<68>        상기 제1 도전성 콘택 패드(222a)상에, 반도체 물질을 성장시켜 형성된 제2 도전성 콘택 패드(226a)를 구비한다. 상기 제2 콘택 패드(226a)로 형성되는 반도체 물질은 상기 제1 도전성 콘택 패드(222a)의 반도체 물질과 동일한 물질로 형성되는 것이 바람직하다. 상기 제2 도전성 콘택 패드(226a)는 예컨대 불순물이 도핑된 실리콘 또는 불순물이 도핑된 실리콘 게르마늄으로 형성된다.

<69>        상기 코아/페리 영역(P)의 액티브 영역 상에는 반도체 물질을 성장시켜 형성된 제3 및 제4 도전성 콘택 패드(228a, 228b)를 구비한다. 상기 제3 및 제4 도전성

콘택 패드(228a, 228b)는 불순물이 도핑된 실리콘 또는 불순물이 도핑된 실리콘 게르마늄으로 형성된다. 구체적으로, 상기 N형 모오스 트랜지스터의 소오스 및 드레인 영역(212a)과 연결되는 제3 도전성 콘택 패드(228a)는 N형 불순물이 도핑되고, P형 모오스 트랜지스터의 소오스 및 드레인 영역(212b)과 연결되는 제4 도전성 콘택 패드(228b)는 P형 불순물이 도핑된다. 상기 제4 도전성 콘택 패드(228b)는 상기 페리 게이트 구조물(210b)의 높이보다 낮은 높이로 형성된다.

<70>        상기 제2 내지 제4 도전성 콘택 패드(224, 226, 228a, 228b) 상에 선택적으로 금속 실리사이드 패턴(240)이 형성된다. 상기 금속 실리사이드 패턴(240)은 코발트 실리사이드, 티타늄 실리사이드 또는 니켈 실리사이드 물질로 이루어진다.

<71>        도 9a 내지 도 9i는 본 발명의 제2 실시예에 따른 반도체 장치를 제조하는 방법을 설명하는 단면도들이다.

<72>        도 9a를 참조하면, 단결정 실리콘으로 이루어지는 반도체 기판(200)의 상부에 통상적인 트렌치 소자 분리 공정을 수행하여 액티브 영역 및 필드 영역(202a)을 구분한다. 이어서, 상기 액티브 영역 및 필드 영역(202a)이 구분되어 있는 기판(200)상에 게이트 구조물(210a, 210b)을 형성한다.

<73>        상기 게이트 구조물(210a, 210b)은 게이트 산화막 패턴, 폴리 실리콘패턴 및 금속 실리사이드막으로 이루어지는 게이트 패턴 및 실리콘 질화물로 이루어지는 하드 마스크 패턴이 적층된 형태로 형성한다. 상기 하드 마스크 패턴(208)은 종래의 셀프 얼라인 방법으로 콘택 패드를 형성할 때에 비해 1/2 이하의 두께로 형성할 수 있다. 종래에는 상기 셀프 얼라인 콘택홀 형성 시에 솔더 마진을 확보하기 위해 상

기 하드 마스크 패턴(208)을 두껍게 형성하였으나, 본 실시예에서는 셀프 얼라인 콘택홀을 형성하지 않기 때문에 솔더 마진을 고려할 필요가 없다. 때문에, 종래에 비해 얇게 하드 마스크 패턴(208)을 형성한다. 상기 하드 마스크 패턴(208)의 두께가 감소됨에 따라, 상기 게이트 구조물(210a, 210b)의 전체 높이도 종래에 비해 감소된다.

<74>       상기 반도체 기판은 데이터를 저장하는 각 셀들이 형성되는 셀 영역(C)과 상기 각 셀들에 데이터를 입, 출력하기 위한 주변 회로들이 형성되는 코아/페리 영역(P)으로 구분된다. DRAM장치의 경우 일반적으로, 셀 영역(C)에는 N형 트랜지스터가 형성되고, 코아/페리 영역(P)에는 N형 및 P형 트랜지스터가 각각 형성된다. 이하에서는, 상기 셀 영역(C)에 형성되는 게이트 구조물을 셀 게이트 구조물(210a)이라하고, 상기 코아/페리 영역에 형성되는 게이트 구조물을 페리 게이트 구조물(210b)이라 하여 설명한다.

<75>       이어서, 상기 셀 게이트 구조물(210a) 및 페리 게이트 구조물(210b)을 이온 주입 마스크로 사용하여 노출된 기판 아래로 불순물을 주입하여 소오스 및 드레인 영역을 형성한다. 이 때, 상기 셀 게이트 구조물(210a) 및 페리 게이트 구조물(210b)에서 N형 트랜지스터로 형성되는 영역에는 선택적으로 N형 불순물을 주입하여 N형 소오스 및 드레인 영역(212a)을 형성한다. 그러나, 각각의 N형 트랜지스터의 특성에 따라 상기 N형 불순물 주입 공정은 한번만 수행하거나 또는 1회 이상 수행할 수 있다. 또한, 상기 페리 게이트 구조물(210b)에서 P형 트랜지스터로 형성되는 영역은 P형 불순물을 주입하여 P형 소오스 및 드레인 영역(212b)을 형성한다.

<76>       도 9b를 참조하면, 상기 반도체 기판(200), 셀 및 페리 게이트 구조물(210a, 210b)들의 표면에 순차적으로 제1 절연막(214) 및 상기 제1 절연막(214)과 식각 선택비가 있는 제2 절연막(216)을 형성한다. 예컨대, 상기 제1 절연막(214)은 실리콘 산화막으로 형



성하고, 제2 절연막(216)은 실리콘 질화막으로 형성한다. 본 실시예에서는 상기 제1 절연막(214)이 실리콘 산화막이고 제2 절연막(216)이 실리콘 질화막으로 형성되는 것으로 하여 설명한다. 반대로, 상기 제1 절연막(214)은 실리콘 질화막으로 형성하고, 상기 제2 절연막(216)은 실리콘 산화막으로 형성할 수도 있다.

<77> 도 9c를 참조하면, 상기 코아/페리 영역(P)에 형성되어 있는 제2 절연막(216)을 남기면서 상기 셀 영역에 형성되어 있는 제2 절연막(216)을 선택적으로 식각한다. 구체적으로, 포토레지스트 패턴으로 상기 코아/페리 영역(P)을 마스킹한 상태에서 상기 셀 영역(C)에 형성되어 있는 제2 절연막(216)을 건식 또는 습식 식각에 의해 제거한다.

<78> 도 9d를 참조하면, 상기 셀 영역(C)에 남아있는 제1 절연막(214)을 선택적으로 이방성으로 식각하여 상기 셀 게이트 구조물의 측면에 제1 스페이서(220)를 형성한다. 상기 제1 스페이서(220)는 50 내지 300Å의 두께 범위를 갖도록 형성하는 것이 바람직하다. 상기 코아/페리 영역에는 상기 제1 절연막(214)과 식각 선택비가 높은 제2 절연막(216)이 형성되어 있기 때문에 상기 제1 절연막(214)을 이방성 식각할 때 상기 제2 절연막(216)이 거의 식각되지 않고 남아있다.

<79> 도 9e를 참조하면, 상기 셀 게이트 구조물(210a)들 사이에 노출되는 액티브 영역 상에 선택적 에피택시얼 성장법으로 반도체 물질을 성장시켜 소오스 및 드레인 영역(212a, 212b)과 접촉하는 제1 콘택 패드(222)를 형성한다. 상기 제1 콘택 패드(222)는 적어도 상기 셀 게이트 구조물(210a)의 높이보다는 낮게 형성한다. 상기 제1 콘택 패드(222)로 형성되는 반도체 물질은 예컨대 실리콘 또는 실리콘 게르마늄을 포함한다. 이하에서는 상기 제1 콘택 패드(222)를 실리콘으로 형성하는 방법을 예로 들면서 설명한다.

- <80> 구체적으로, 상기 셀 게이트 구조물(210a)들 사이에 노출되는 반도체 기판 표면의 단결정 실리콘들을 시드로 하여 실리콘을 에피택시얼 성장시킨다.
- <81> 상기 실리콘을 성장시키는 공정은 UHVCVD를 이용하며 실리콘 소오스 가스로는  $\text{Si}_2\text{H}_6$  또는  $\text{SiH}_4$  가스를 사용한다. 그리고, 상기 실리콘 산화막이 채워져 있는 필드 영역 및 실리콘 질화물로 구성된 하드 마스크 패턴(208)과 제1 스페이서(220), 그리고 제2 절연막(216)에 실리콘의 성장을 억제하기 위해  $\text{Cl}_2$  가스를 더 추가한다.
- <82> 상기 방법에 의해 실리콘을 성장시키면, 상기 실리콘은 상기 실리콘 기판과 수직한 방향으로만 성장하지 않고 수평한 방향으로도 측면 성장한다. 특히, 필드 영역을 사이에 두고 각각의 제1 콘택 패드(222)로 성장하는 실리콘은 수직 방향 뿐 아니라 수평 방향으로도 성장하기 때문에 이웃하는 제1 콘택 패드(222)가 서로 쇼트되기 쉽다. 따라서, 상기 제1 콘택 패드(222)는 상기 실리콘이 측면으로 성장하더라도 각각의 콘택 패드(222)로 형성되는 실리콘이 서로 쇼트되지 않을 정도의 높이로 형성한다. 상기 제1 콘택 패드(222)의 높이는 상기 콘택 패드간의 밀도 및 셀 게이트 구조물(210a)의 높이등을 고려하여 결정된다. 바람직하게, 상기 제1 콘택 패드(222)는 상기 셀 게이트 구조물(210a) 높이의 약 30 내지 60%의 높이로 형성한다.
- <83> 도 9f를 참조하면, 상기 제1 콘택 패드(222)가 형성되어 있는 기판의 전면에 절연 물질을 증착한다. 상기 절연물질은 상기 제2 절연막(216)으로 사용된 절연 물질과 실질적으로 동일한 식각율을 갖는 물질이거나 동일 계열의 물질인 것이 바람직하다. 본 실시예에서는 상기 절연 물질을 실리콘 질화막으로 사용한다.

<84> 이어서, 상기 절연물질을 이방성 식각하여 상기 제1 스페이서(220)들의 노출된 표면, 상기 제1 콘택 패드(222)들의 노출된 측면 및 상기 페리 게이트 구조물(210b)의 측면에 형성된 제2 절연막(216)상에 제2 스페이서(224)를 형성한다. 상기 절연물질을 이방성으로 식각하면, 상기 코아/페리 영역(P)의 기판 표면에 형성되어 있는 상기 제2 절연막(216)도 함께 식각된다. 이어서, 상기 코아/페리 영역(P)의 기판 표면에 노출된 제1 절연막(214)을 제거한다. 따라서, 도식된바와 같이 상기 페리 게이트 구조물(210b)이 형성되어 있지 않은 부위의 코아/페리 영역(P)에서 기판(100) 표면이 노출된다.

<85> 상기 제2 스페이서(224)는 노출되어 있는 제1 콘택 패드(222)의 측면에 형성되므로, 상기 후속 공정에서 상기 제1 콘택 패드(222)의 노출된 표면을 시드로 하여 반도체층을 성장시킬 때 측면 방향으로의 성장을 억제한다. 또한, 상기 제2 스페이서(224)는 상기 페리 게이트 구조물(210b)과 상기 페리 게이트 구조물(210b)들 사이에 형성되는 콘택 패드들 간을 절연시키는 역할을 한다. 상기 제2 스페이서(224)는 50 내지 100Å의 두께로 형성하는 것이 바람직하다.

<86> 도 9g를 참조하면, 상기 제1 콘택 패드(222) 및 코아/페리 영역(P)의 노출된 기판(200) 상에 선택적 에피택시얼 성장법으로 반도체 물질을 성장시킨다. 따라서, 상기 제1 콘택 패드(222) 상에 제2 콘택 패드(226)를 형성하고 동시에 상기 코아/페리 영역(P)의 액티브 영역에는 제3 콘택 패드(228)를 형성한다. 이 때, 상기 제1 콘택 패드(222)와 상기 제2 콘택 패드(226)가 적층된 높이는 상기 셀 게이트 구조물(210a)의 높이와 같거나 더 높게 형성한다. 그러므로, 상기 제3 콘택 패드(228)는 상기 페리 게이트 구조물(210b)의 높이보다 낮은 높이로 형성된다.

- <87>       상기 제2 및 제3 콘택 패드(226, 228)로 형성되는 반도체 물질은 상기 제1 콘택 패드(222)의 반도체 물질과 동일한 것으로 형성되는 것이 바람직하다. 상기 제2 및 제3 콘택 패드(226, 228)는 예컨대 실리콘 또는 실리콘 게르마늄으로 형성한다.
- <88>       구체적으로, 상기 제2 및 제3 콘택 패드(226, 228)는 상기 제1 콘택 패드(222) 표면에 노출된 실리콘 및 페리 영역에 노출된 기판의 단결정 실리콘을 시드로 하여 실리콘을 에피택시얼 성장시켜 형성한다. 상기 실리콘 성장 방법은 제1 콘택 패드(222)를 형성할 때와 동일하다.
- <89>       이 때, 상기 제1 콘택 패드(222)의 노출된 측면 부위에는 제2 스페이서(224)가 형성되어 있다. 때문에, 처음에는 상기 제1 콘택 패드(222)의 상부면에 노출되어 있는 도핑 실리콘을 시드로 하여 수직 방향으로 실리콘이 성장된다. 그리고, 상기 실리콘이 수직 방향으로 어느 정도 성장된 이 후에 비로소 측면 성장이 시작된다. 따라서, 상기 실리콘의 측면 방향 성장률은 상기 실리콘의 수직 방향 성장률에 비해 매우 낮다. 즉, 상기 제2 스페이서(224)에 의해 상기 실리콘의 측면 방향으로의 성장이 억제되어 이웃하는 콘택 패드들이 쇼트되는 불량을 감소시킬 수 있다.
- <90>       또한, 상기 제3 콘택 패드(228)는 비교적 낮게 형성되고, 패턴들의 밀도가 셀 영역에 비해 조밀하지 않기 때문에 상기 반도체 물질이 측면으로 성장하면서 이웃하는 제3 콘택 패드(228)들이 서로 쇼트되는 불량은 거의 발생되지 않는다.
- <91>       도 9h를 참조하면, 상기 N형 트랜지스터로 형성되는 영역에 선택적으로 N형 불순물을 주입(250)하여 상기 제1 콘택 패드 내지 제3 콘택 패드(222, 226, 228)를 제1 도전성 콘택 패드 내지 제3 도전성 콘택 패드(222a, 226a, 228a)로 형성한다. 구체적으로, 상기 N형 트랜지스터로 형성되는 영역을 오픈하는 제1 포토레지스트 패턴(242)을 형성하고

상기 제1 포토레지스트 패턴(242)을 마스크로하여 N형 불순물을 주입한다. 이어서, 상기 제1 포토레지스트 패턴(242)을 제거한다.

<92> 도 9i를 참조하면, 상기 P형 트랜지스터로 형성되는 영역에 선택적으로 P형 불순물을 주입(252)하여 상기 제3 콘택 패드(228)를 제4 도전성 콘택 패드(228b)로 형성한다. 구체적으로, 상기 P형 트랜지스터로 형성되는 영역을 오픈하는 제2 포토레지스트 패턴(224)을 형성하고 상기 제2 포토레지스트 패턴(244)을 마스크로하여 P형 불순물을 주입한다. 이어서, 상기 제2 포토레지스트패턴(244)을 제거한다.

<93> 상기 9h를 참조로 설명한 N형 불순물 주입 공정과 상기 9i를 참조로 설명한 P형 불순물 주입 공정은 서로 순서를 바꾸어 수행할 수도 있다.

<94> 이어서, 상기 제2 및 제4 도전성 콘택 패드(226a, 228a, 228b)의 상부면에 통상의 실리사이드 형성 공정을 수행하여 금속 실리사이드 패턴(도 8, 240)을 형성한다. 상기 금속 실리사이드 패턴(240)은 예컨대 코발트 실리사이드, 티타늄 실리사이드 또는 니켈 실리사이드로 형성할 수 있다. 상기 설명한 공정들을 수행하여 도 8에 도시된 반도체 장치를 형성한다.

<95> 상기 설명한 방법에 의하면, 상기 셀 영역(C)에서 제2 콘택 패드를 형성할 때 동시에 코아/ 페리 영역의 소오스 및 드레인과 연결되는 제3 콘택 패드가 형성할 수 있다. 따라서, 상기 코아/ 페리 영역의 소오스 및 드레인과 연결되는 콘택의 깊이를 감소시킬 수 있으며 콘택 저항도 감소시킬 수 있다.

**【발명의 효과】**

- <96> 상술한 바와 같이 본 발명에 의하면, 기판 표면과 접촉하는 콘택 패드를 에피택시얼 성장법에 의해 형성할 때 측면으로 반도체 물질이 성장하는 것을 최소화시킨다. 따라서, 상기 측면 성장에 의해 빈번히 발생하는 콘택 패드간의 쇼트 불량을 감소시킬 수 있다.
- <97> 또한, 종래의 셀프 얼라인 콘택을 형성할 때에 솔더 마진의 부족으로 발생하는 게이트 전극과 콘택 패드간이 쇼트되는 것을 등을 방지할 수 있다. 또한, 종래의 셀프 얼라인 콘택을 형성할 때에 비해 게이트 전극의 높이를 낮게 형성할 수 있다. 따라서, 후속 공정에서 게이트 전극 사이를 절연물질로 갱필 할 때 보이드 발생을 감소시킬 수 있다.
- <98> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**【특허청구범위】****【청구항 1】**

액티브 영역이 정의된 반도체 기판 상에 게이트 구조물들을 형성하는 단계;

상기 게이트 구조물들의 측면에 제1 스페이서를 형성하는 단계;

상기 게이트 구조물들 사이에 위치하는 액티브 영역 상에, 선택적 에피택셜 성장법으로 상기 게이트 구조물보다 낮은 높이로 반도체 물질을 성장시켜 제1 콘택 패드들을 형성하는 단계;

상기 제1 스페이서들 및 상기 제1 콘택 패드들의 노출된 측면에 제2 스페이서들을 형성하는 단계; 및

상기 제1 콘택 패드들 상에, 선택적 에피택셜 성장법으로 반도체 물질을 성장시켜 제2 콘택 패드들을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**【청구항 2】**

제1항에 있어서, 상기 제1 콘택 패드로 형성되는 반도체 물질은 불순물이 도핑된 실리콘 또는 불순물이 도핑된 실리콘 게르마늄을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**【청구항 3】**

제2항에 있어서, 상기 제1 콘택 패드는 상기 반도체 물질을 성장시키는 중에 인시튜로 불순물을 도핑하여 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**【청구항 4】**

제2항에 있어서, 상기 제1 콘택 패드는 상기 반도체 물질을 성장시킨 이 후에 이온 임플란트 공정을 수행함으로써 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**【청구항 5】**

제1항에 있어서, 상기 제2 콘택 패드로 형성되는 반도체 물질은 불순물이 도핑된 실리콘 또는 불순물이 도핑된 실리콘 게르마늄을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**【청구항 6】**

제5항에 있어서, 상기 제2 콘택 패드는 상기 반도체 물질을 성장시키는 중에 인시튜로 불순물을 도핑하여 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**【청구항 7】**

제5항에 있어서, 상기 제2 콘택 패드는 상기 반도체 물질을 성장시킨 이 후에 이온 임플란트 공정을 수행함으로써 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**【청구항 8】**

제1항에 있어서, 상기 제1 스페이서는 실리콘 산화물 또는 실리콘 질화물로 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**【청구항 9】**

제1항에 있어서, 상기 제1 스페이서는 50 내지 300Å의 두께로 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.



**【청구항 10】**

제1항에 있어서, 상기 제2 스페이서는 실리콘 산화물 또는 실리콘 질화물로 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**【청구항 11】**

제1항에 있어서, 상기 제2 스페이서는 50 내지 100 Å의 두께로 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**【청구항 12】**

제1항에 있어서, 상기 제1 콘택 패드는 상기 게이트 구조물 높이의 약 30 내지 60% 정도의 높이를 갖도록 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**【청구항 13】**

제1항에 있어서, 상기 제1 콘택 패드는 상기 제1 콘택 패드로 형성되는 반도체 물질이 측면으로 성장하여 서로 단락되지 않을 정도의 높이를 갖도록 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**【청구항 14】**

제1항에 있어서, 상기 제2 콘택 패드들을 형성한 이 후에, 상기 제2 콘택 패드들의 상부면에 선택적으로 금속 실리사이드막을 형성하는 단계를 더 수행하는 것을 특징으로 하는 반도체 장치의 제조 방법.

## 【청구항 15】

제14항에 있어서, 상기 금속 실리사이드막은 코발트 실리사이드막, 티타늄 실리사이드막 및 니켈 실리사이드막으로 이루어진 군에서 선택된 하나의 막인 것을 특징으로 하는 반도체 장치의 제조 방법.

## 【청구항 16】

i) 셀 영역 및 페리 영역이 구분되고 액티브 영역이 정의된 반도체 기판 상에 셀 게이트 구조물들 및 페리 게이트 구조물들을 형성하는 단계;

ii) 상기 반도체 기판, 셀 및 페리 게이트 구조물들의 표면에 순차적으로 제1 절연막 및 상기 제1 절연막과 식각 선택비가 있는 제2 절연막을 형성하는 단계;

iii) 상기 페리 영역에 형성된 제2 절연막만 남도록 상기 셀 영역에 형성된 제2 절연막을 선택적으로 식각하는 단계;

iv) 상기 셀 게이트 구조물들의 측면에 제1 스페이서들을 형성하는 단계;

v) 상기 셀 게이트 구조물들 사이의 액티브 영역 상에, 선택적 에피택셜 성장법으로 상기 셀 게이트 구조물보다 낮은 높이를 갖도록 반도체 물질을 성장시켜 제1 콘택 패드들을 형성하는 단계;

vi) 상기 제1 콘택 패드들 상에 위치한 제1 스페이서의 표면, 상기 제1 콘택 패드의 노출된 측면 및 상기 페리 게이트 구조물들 표면에 형성된 제2 절연막에 제2 스페이서를 형성하는 단계; 및

vii)상기 제1 콘택 패드 및 페리 영역의 액티브 영역 상에, 선택적 에피택셜 성장 방법으로 반도체 물질을 성장시켜 제2 콘택 패드 및 상기 페리 영역의 기판 상에 제3 콘택 패드를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 17】

제16항에 있어서, 상기 제 1절연막은 실리콘 산화막으로 형성하고, 상기 제2 절연막은 실리콘 질화막으로 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 18】

제16항에 있어서, 상기 제 1절연막은 실리콘 질화막으로 형성하고, 상기 제2 절연막은 실리콘 산화막으로 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 19】

제16항에 있어서, 상기 제1 콘택 패드로 형성되는 반도체 물질은 실리콘 또는 실리콘 게르마늄을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 20】

제16항에 있어서, 상기 제2 내지 제3 콘택 패드로 형성되는 반도체 물질은 실리콘 또는 실리콘 게르마늄을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 21】

제16항에 있어서, 상기 제2 스페이서는,  
상기 제1 콘택 패드를 포함하는 반도체 기판 전면에서 상기 제2 절연막과 실질적으로 동일한 식각율을 갖는 제3 절연막을 형성하는 단계;

상기 제1 콘택 패드들 상에 위치한 제1 스페이서의 표면 및 상기 페리 게이트 구조물들 표면에 형성된 제2 절연막 상에만 상기 제3 절연막이 남도록 상기 제3 절연막 및 상기 페리 영역의 기판 표면에 형성된 제2 절연막을 이방성으로 식각하는 단계; 및

상기 페리 영역의 기판 표면에 노출된 제1 절연막을 제거하는 단계를 수행하여 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 【청구항 22】

제16항에 있어서, 상기 제2 및 제3 콘택 패드를 형성하는 단계를 수행한 이 후에, 상기 제1 콘택 패드 내지 제3 콘택 패드 표면 아래로 불순물을 주입하는 단계를 더 수행하는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 【청구항 23】

제22항에 있어서, 상기 불순물을 주입하는 단계는,

상기 제1 내지 제3 콘택 패드들 중에서 N형 모오스 트랜지스터의 소오스 및 드레인과 연결되는 제1 내지 제3 콘택 패드에 선택적으로 N형 불순물을 주입하는 단계; 및

상기 제1 내지 제3 콘택 패드들 중에서 P형 모오스 트랜지스터의 소오스 및 드레인과 연결되는 제1 내지 제3 콘택 패드에 선택적으로 P형 불순물을 주입하는 단계를 수행하여 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

#### 【청구항 24】

제16항에 있어서, 상기 제2 및 제3 콘택 패드를 형성하는 단계를 수행한 이 후에, 상기 제2 콘택 패드 및 제3 콘택 패드 상부면에 선택적으로 금속 실리사이드막을 형성하는 단계를 더 수행하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**【청구항 25】**

제24항에 있어서, 상기 금속 실리사이드막은 코발트 실리사이드막, 티타늄 실리사이드막 및 니켈 실리사이드막으로 이루어진 군에서 선택된 하나의 막인 것을 특징으로 하는 반도체 장치의 제조 방법.

**【청구항 26】**

제16항에 있어서, 상기 제1 콘택 패드는 상기 제1 콘택 패드로 형성되는 반도체 물질이 측면으로 성장하여 서로 단락되지 않을 정도의 높이를 갖도록 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**【청구항 27】**

제16항에 있어서, 상기 제1 콘택 패드는 상기 셀 게이트 구조물 높이의 약 30 내지 60%정도의 높이를 갖도록 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**【청구항 28】**

액티브 영역 및 필드 영역이 정의된 반도체 기판 상에 형성되는 게이트 구조물들;

상기 게이트 구조물들의 측면에 형성되는 제1 스페이서;

상기 게이트 구조물들 사이에 위치하는 반도체 기판의 액티브 영역 상에 상기 게이트 구조물의 높이보다 낮은 높이의 반도체 물질로 형성된 제1 콘택 패드;

상기 제1 콘택 패드상에 위치하는 상기 제1 스페이서의 측면 및 상기 제1 콘택 패드에서 상기 필드 영역과 인접하는 일측면에 형성된 제2 스페이서; 및

상기 제1 콘택 패드 상에 반도체 물질로 형성된 제2 콘택 패드를 포함하는 것을 특징으로 하는 반도체 장치.

**【청구항 29】**

제28항에 있어서, 상기 제1 콘택 패드로 형성되는 반도체 물질은 불순물이 도핑된 실리콘 또는 불순물이 도핑된 실리콘 게르마늄을 포함하는 것을 특징으로 하는 반도체 장치.

**【청구항 30】**

제28항에 있어서, 상기 제2 콘택 패드로 형성되는 반도체 물질은 불순물이 도핑된 실리콘 또는 불순물이 도핑된 실리콘 게르마늄을 포함하는 것을 특징으로 하는 반도체 장치.

**【청구항 31】**

제28항에 있어서, 상기 제1 스페이서는 실리콘 산화물 또는 실리콘 질화물로 형성된 것을 특징으로 하는 반도체 장치.

**【청구항 32】**

제28항에 있어서, 상기 제2 스페이서는 실리콘 산화물 또는 실리콘 질화물로 형성된 것을 특징으로 하는 반도체 장치.

**【청구항 33】**

제28항에 있어서, 상기 제2 콘택 패드 상부면에 선택적으로 금속 실리콘사이드막이 더 형성된 것을 특징으로 하는 반도체 장치.

**【청구항 34】**

셀 영역 및 페리 영역이 구분되고, 액티브 영역 및 필드 영역이 정의된 반도체 기판 상에 형성되는 셀 게이트 구조물들 및 페리 게이트 구조물들;

상기 셀 게이트 구조물의 측면에 형성되는 제1 스페이서;

상기 셀 게이트 구조물들 사이에 위치하는 반도체 기판의 액티브 영역 상에 상기 셀 게이트 구조물 높이보다 낮은 높이의 반도체 물질로 형성된 제1 콘택 패드;

상기 페리 게이트 표면에 형성되는 절연막 패턴;

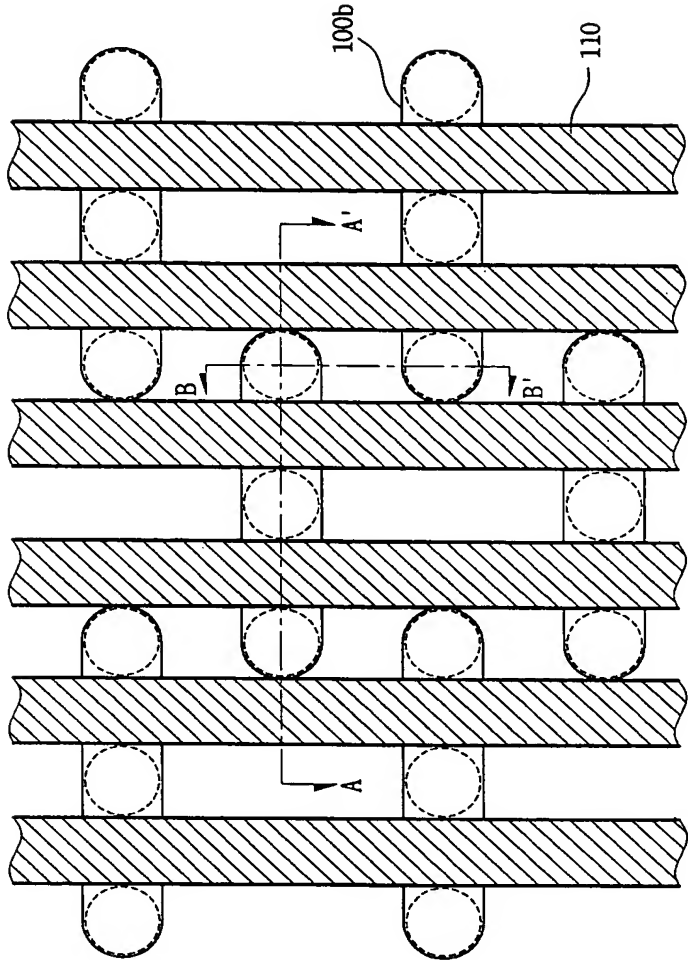
상기 제1 콘택 패드 상에 위치하는 상기 제1 스페이서의 측면, 상기 제1 콘택 패드에서 상기 필드 영역과 인접하는 일측면 및 상기 절연막 패턴의 측면에 형성된 제2 스페이서;

상기 제1 콘택 패드 상에 반도체 물질로 형성된 제2 콘택 패드; 및

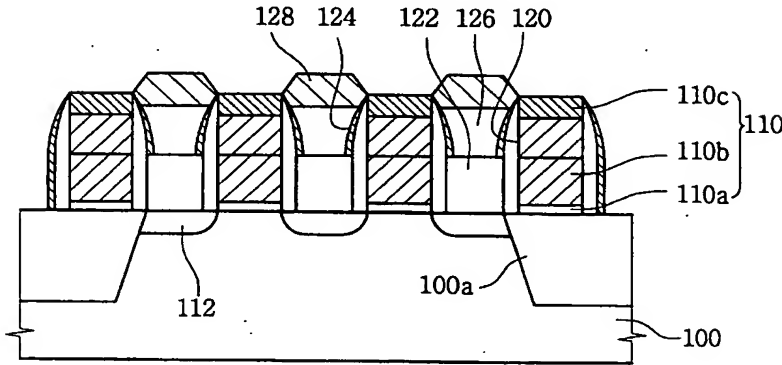
상기 페리 영역의 액티브 영역 상에 반도체 물질로 형성된 제3 콘택 패드를 포함하는 것을 특징으로 하는 반도체 장치.

【도면】

【도 1】

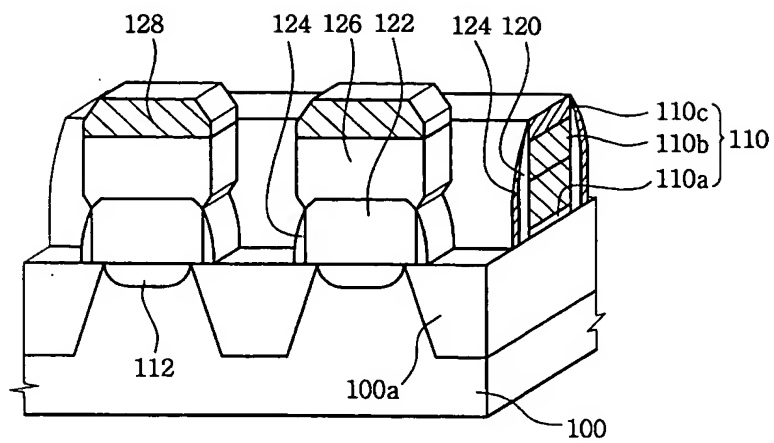


【도 2a】

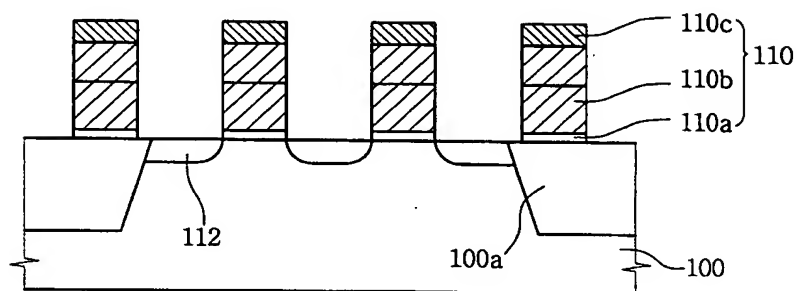




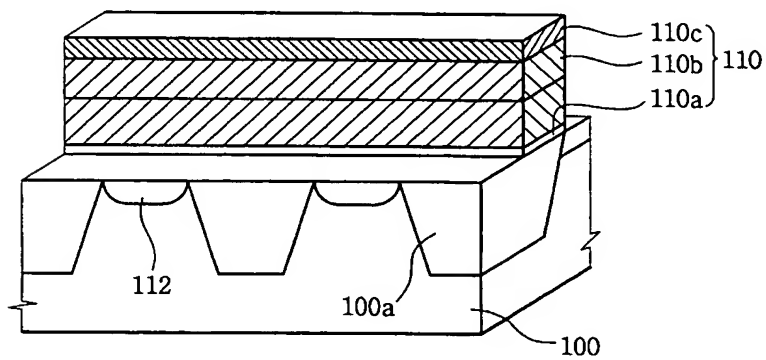
【도 2b】



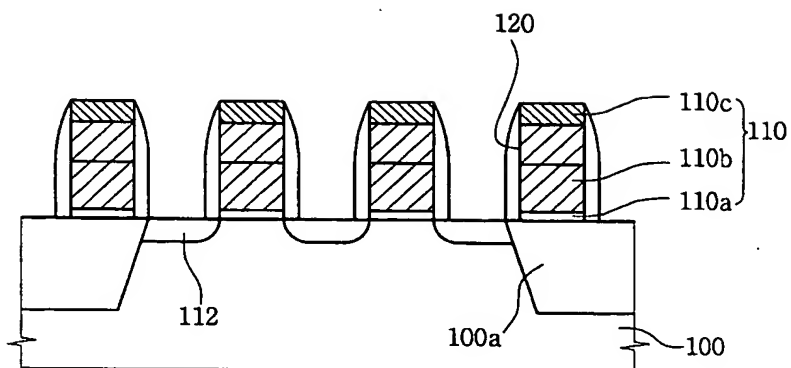
【도 3a】



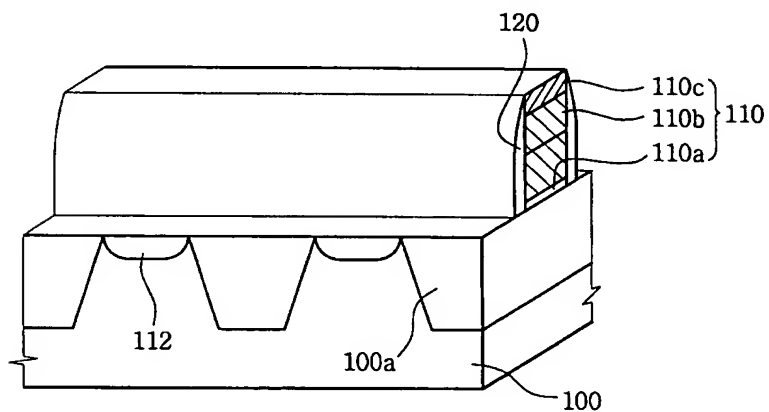
【도 3b】



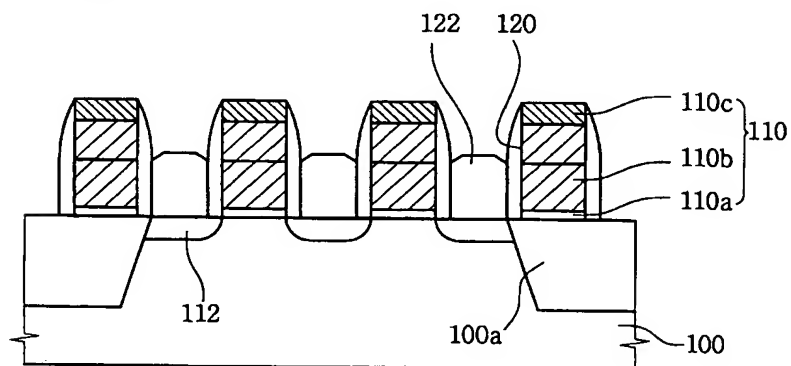
【도 4a】



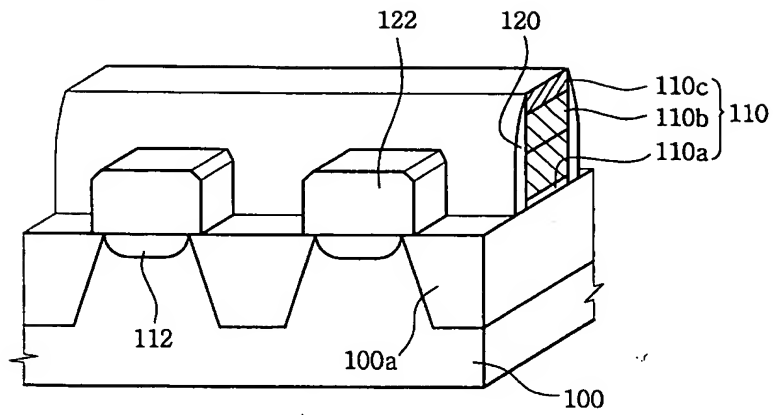
【도 4b】



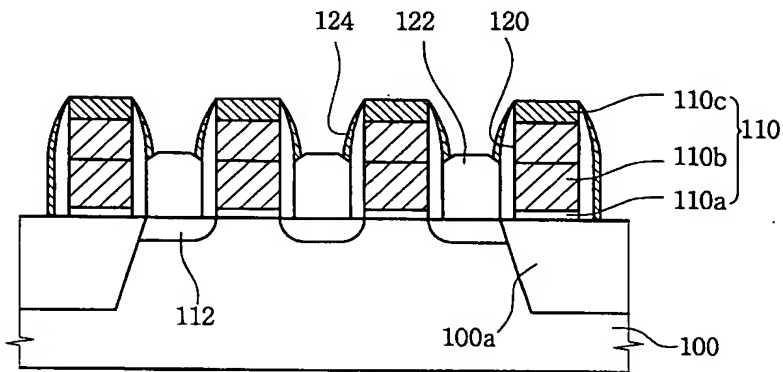
【도 5a】



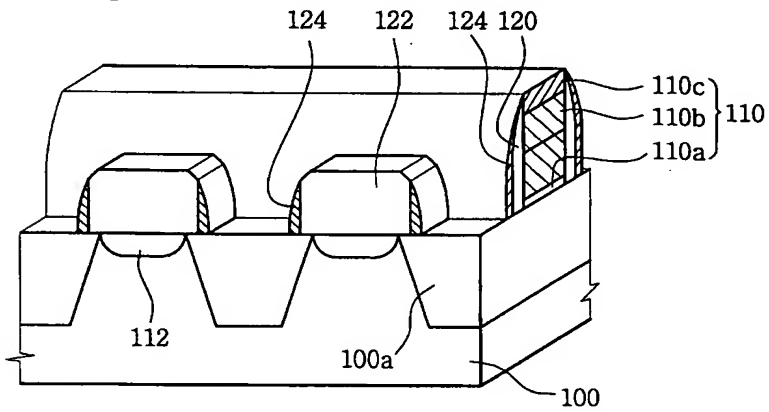
【도 5b】



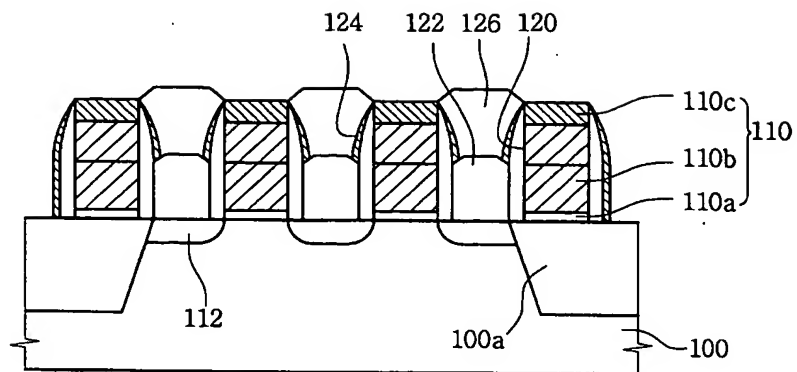
【도 6a】



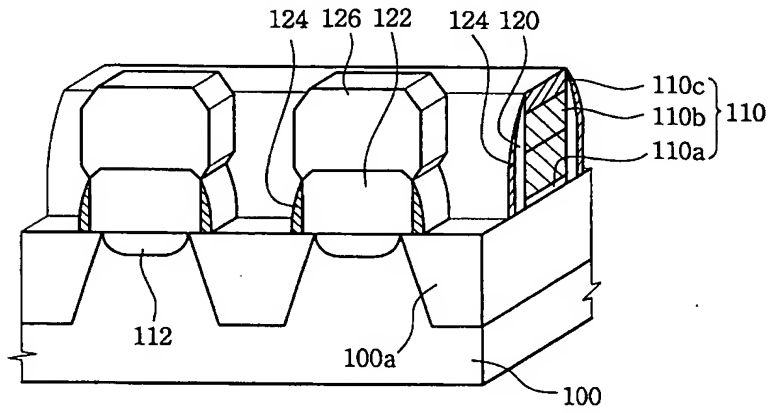
【도 6b】



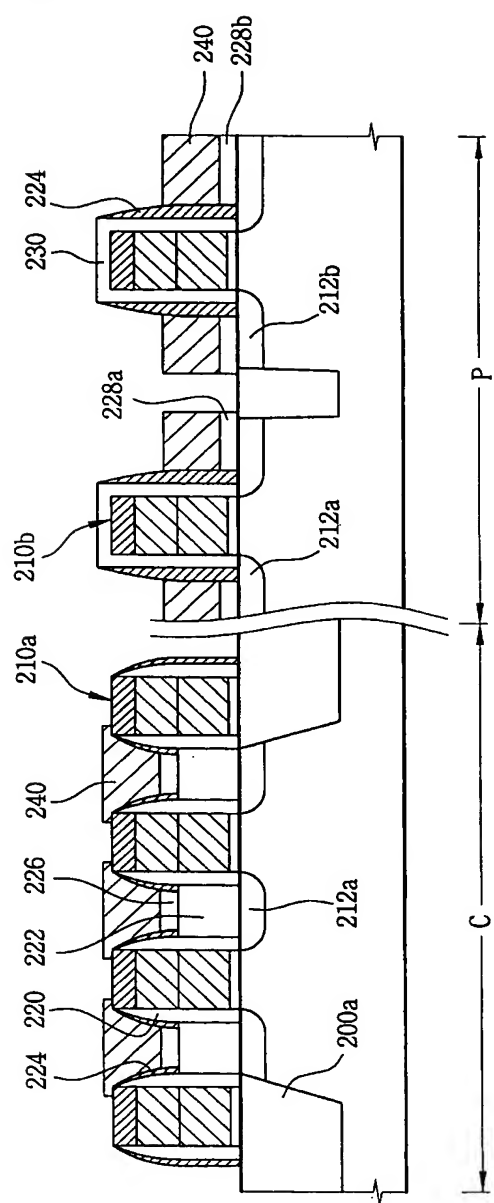
【도 7a】



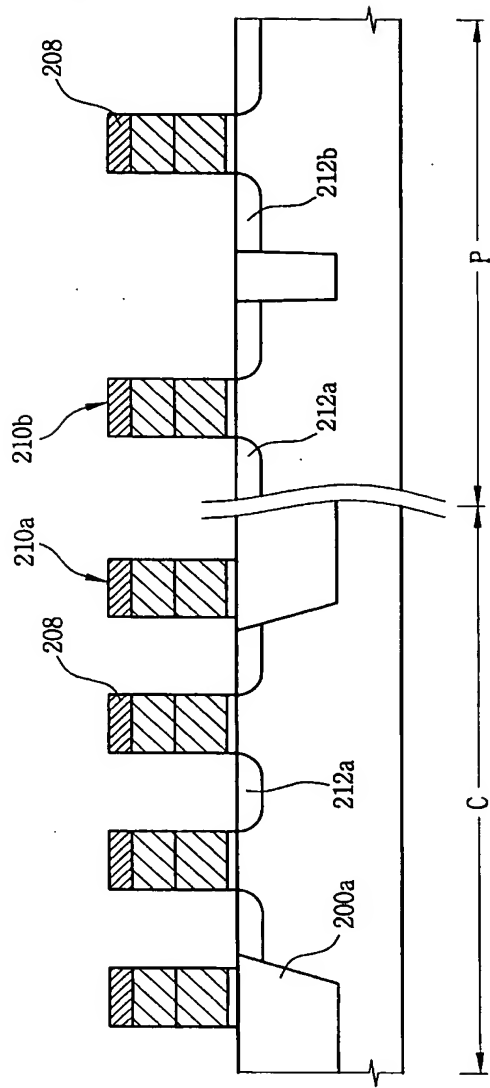
【도 7b】



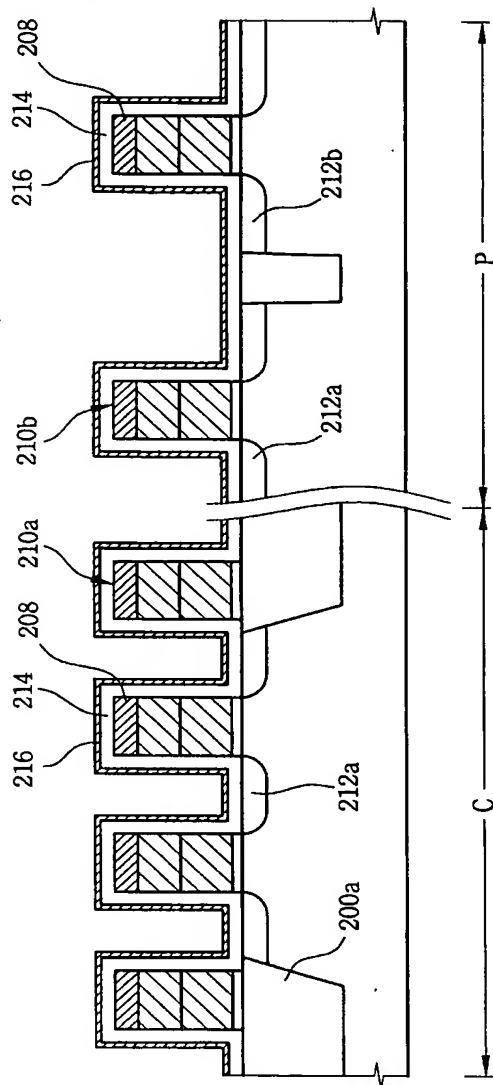
【 8】



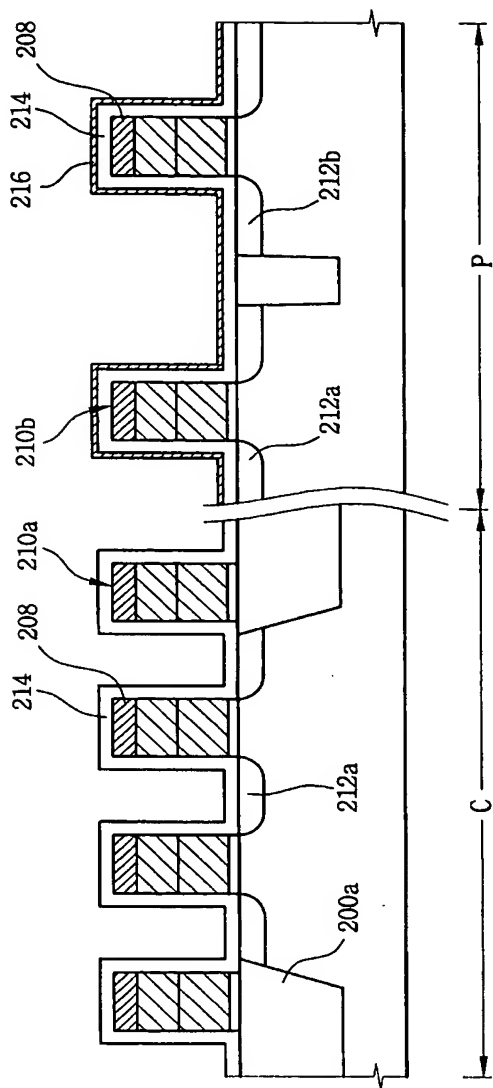
【도 9a】



【도 9b】

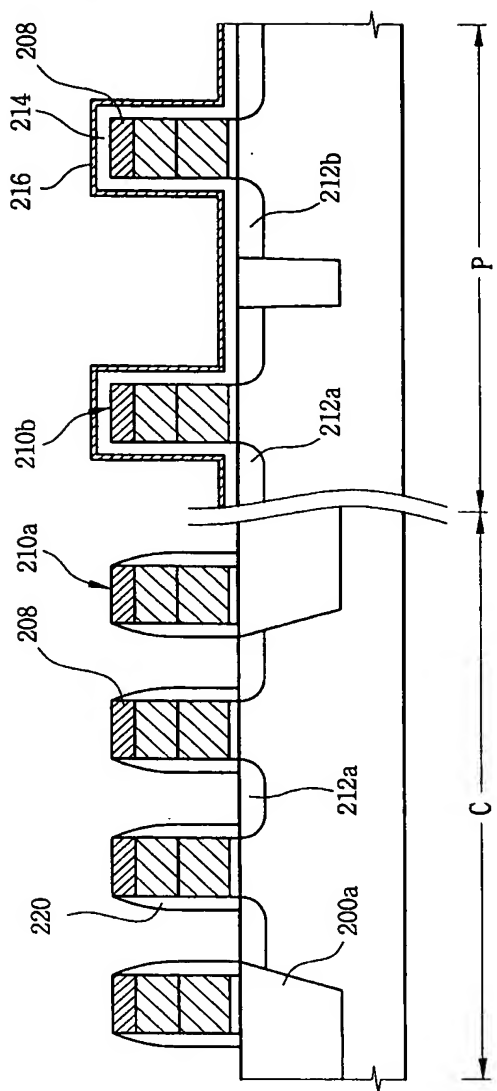


【도 9c】

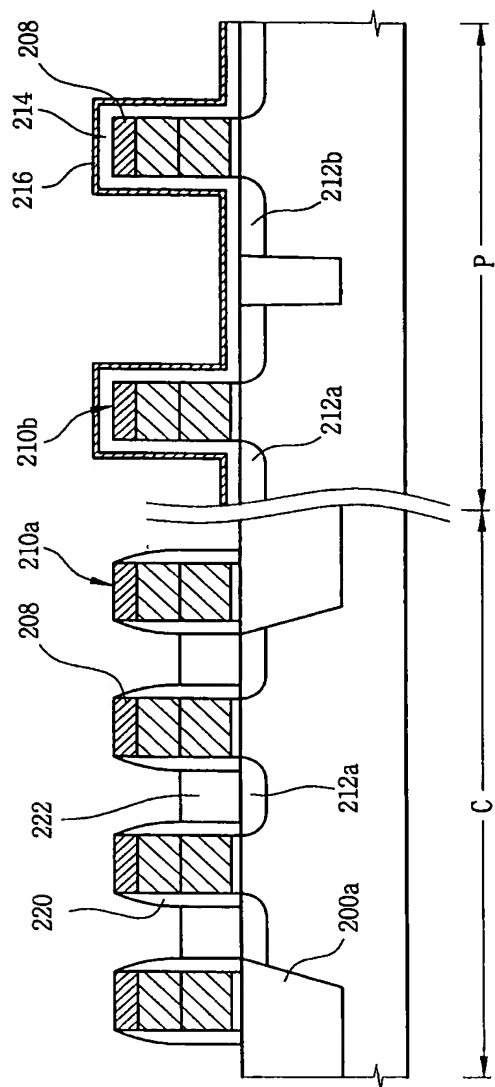




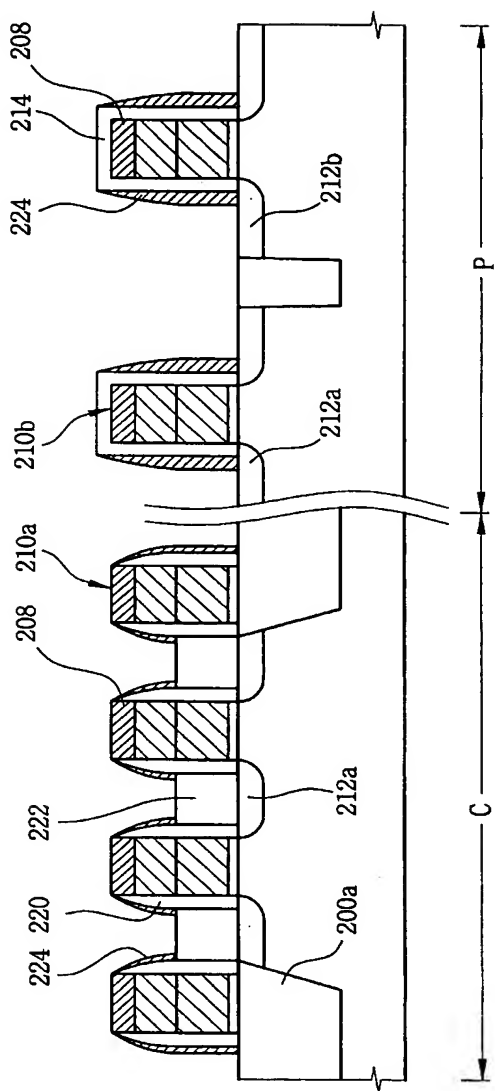
【도 9d】



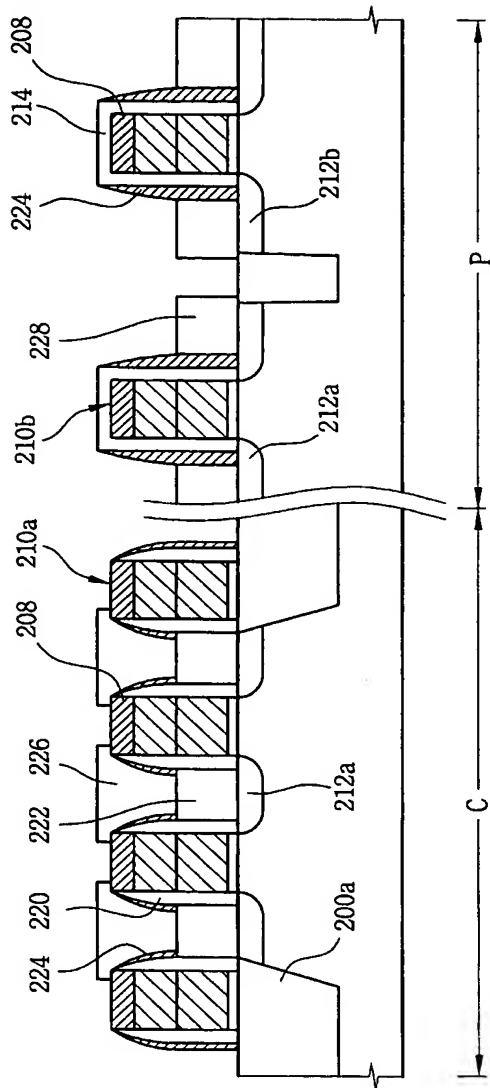
【도 9e】



【도 9f】



【도 9g】



【도 9h】

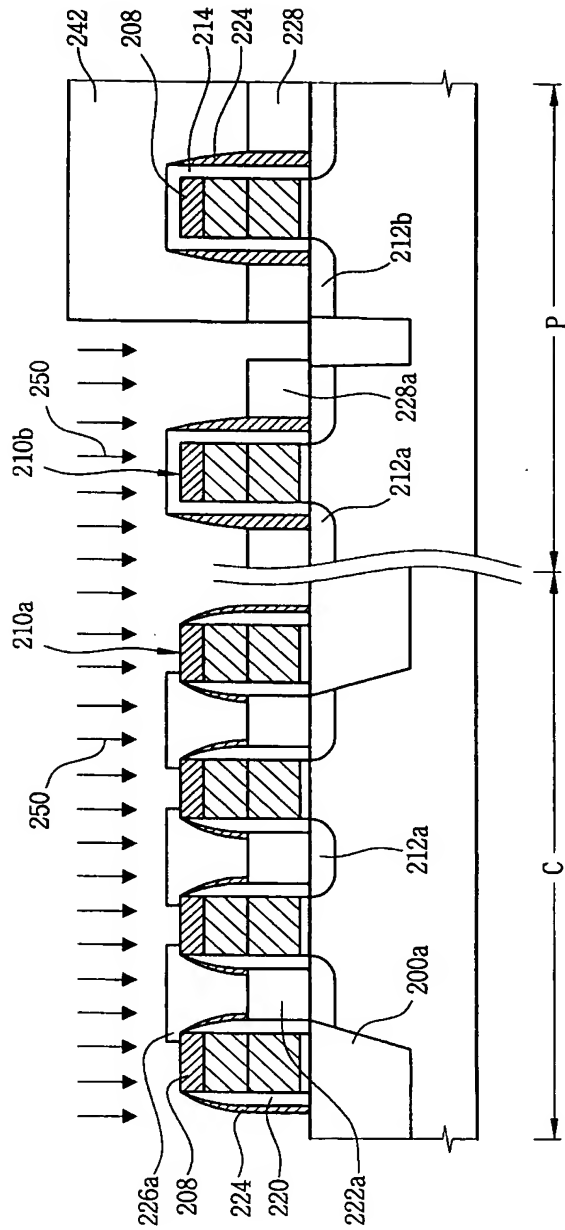


FIG. 1 is a cross-sectional view of a multi-layered structure 200. The structure consists of a substrate 220 with a top layer 222a and a bottom layer 222b. A series of layers 208, 210a, 210b, 212a, 212b, 224, and 226a are stacked on top of the substrate. A central layer 244 is shown with a wavy line indicating a bend. A series of arrows 252 point downwards from the top layer 222a. Dimensions C and P are indicated at the bottom.